

## High-k/メタルゲート膜界面の構造の解析 Analysis of High-k/metal gate interface structure

尾崎 伸司, 畑 良文  
Shinji Ozaki, Yoshifumi Hata

パナソニック(株) マテリアルサイエンス解析センター 薄膜分析グループ  
Panasonic Corporation

次世代 LSI においてゲート酸化膜として高誘電率ゲート絶縁膜を使用するメタルゲート/高誘電率膜の積層膜構造の物性について、高エネルギーXPS で調べた。アニール処理前後の試料を調べた結果、アニール処理後試料では Hf と Si が関係する結合と考えられるシリケート化した Si1s ピークが認められた。

キーワード： High-k/メタルゲート、高エネルギー光電子分光測定

### 背景と研究目的：

より高性能な LSI を実現するためにはゲート絶縁膜の薄膜化が不可欠である。しかし、これまでのゲート絶縁膜である SiO<sub>2</sub> 膜では、リーク電流の問題があるため次世代 LSI では使用することが困難である。そこで次世代 LSI では高誘電率ゲート絶縁膜の利用が期待されており、その物性評価が必要となっている。また高誘電率ゲート絶縁膜を使用した場合には仕事関数の特性上、メタルゲート膜を使用するため積層膜構造での薄膜物性評価が重要となっている。

そこで今回、電気特性と物理特性との関係を明確にするために必要となるメタルゲート/高誘電率膜の積層膜構造について、非破壊での状態解析が可能な高エネルギーXPS 測定を実施した。

### 実験：

Si(001) 基板上に TiN(5nm)/HfSiO(2nm)/SiO<sub>2</sub>(1nm) 積層膜を堆積しアニール処理を施す前後の試料を測定試料とした。今回、BL46XU で高エネルギー光電子分光測定を実施した。入射光のエネルギーは 7957 eV で、試料表面からの光電子の脱出角は 80 度である。

### 結果および考察：

アニール処理を施す前後の試料を高エネルギーXPS で測定した Si 1s スペクトルを図 1 に示す。Si 基板からの 1839 eV の Si 1s(基板) ピークでエネルギー軸を校正し、Si 1s(基板) ピークのピーク強度で縦軸を規格化している。この Si 1s(基板) の高エネルギー側に SiO<sub>2</sub> による Si 1s(SiO<sub>2</sub>) ピークが認められる。アニール処理前試料では 1843 eV にピークを持つ Si 1s(SiO<sub>2</sub>) のみであるが、アニール処理後試料では低エネルギー側にもピークが認められる。この低エネルギー側のピークはシリケート化した Si、すなわち Hf と Si が関係する結合によるものと考えられる[1]。

今後の課題：

シリケート結合の存在は電氣的リークの原因になり得るので、その物性把握は重要である。今後、積層膜の成膜方法、積層構造および熱処理条件が異なる試料について、物性評価と電気特性との関係について調べる予定である。

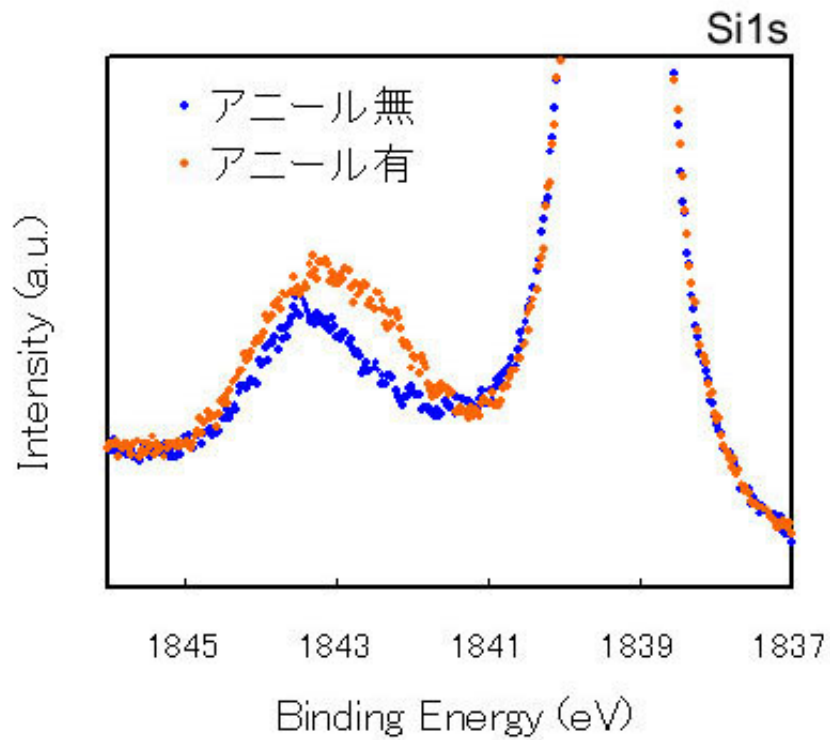


図 1. アニール処理前後での Si 1s ピークの変化

参考文献：

- [1] K.Kobayashi, M.Yabashi, Y.Takata, T.Tokushima, S.Shin, K.Tamasaku, D.Miwa and T.Ishikawa, Appl. Phys. Lett. **83**, 1005 (2003)