

次世代 CMOS チャンネル実現に向けた硬 X 線光電子分光による
グラフェン・ゲート絶縁膜界面構造の最適化
Optimization of the Interface between Graphene and Gate Insulator
Studied by Hard X-ray Photoelectron Spectroscopy
for Future CMOS Channel

近藤 大雄^a, 林 賢二郎^a, 山口 淳一^a, 曾我 育生^b, 佐藤 信太郎^a, 横山 直樹^a
Daiyu Kondo^a, Kenjiro Hayashi^a, Junichi Yamaguchi^a, Ikuro Soga^b, Shintaro Sato^a, Naoki Yokoyama^a

^a(独)産業技術総合研究所 グリーン・ナノエレクトロニクスセンター, ^b(株)富士通研究所
^aGNC, AIST, ^bFujitsu Laboratories Ltd.

我々はグラフェンのチャンネル材料としての高いポテンシャルに着目し、次世代 CMOS チャンネル候補として大面積基板上での成長技術や FET トランジスタ作製プロセス開発を行ってきた。今回は、原子層堆積法や蒸着法などの異なる方式で作製した絶縁膜とグラフェンの界面電子状態を硬 X 線光電子分光により調べることで、現在想定し得るゲート絶縁膜候補材料とグラフェン界面での電子状態から絶縁膜としての適性の検討を行い、グラフェン直上には SiO₂ (ないしは Al) を絶縁膜として堆積することが望ましく、その上に別途 High-k 等の絶縁膜を堆積すれば良いことが判明した。今後さらなる検討を行いグラフェン FET 作製プロセスの最適化を推し進める予定である。

キーワード： 硬 X 線光電子分光、グラフェン、CMOS

背景と研究目的：

近年、低炭素社会実現に向けた技術開発のニーズは様々な分野において大きくなりつつあり、半導体技術においてもその一環としてさらなる高速化及び低消費電力化が求められている。今日まで、そのような半導体デバイスの性能向上は微細化によって達成されてきたが、微細化による弊害やその限界が指摘されつつあることから、より高速化・低消費電力化が実現可能な代替材料が必要となっている。中でもグラファイト一層分かなるグラフェンは、シリコンと比較して圧倒的に高い電子移動度や高い熱伝導性から次世代のチャンネル材料・配線材料として大きな注目を集めている[1]。我々は次世代 CMOS チャンネル候補としてのグラフェンの高いポテンシャルに着目し、グラフェン大面積基板上での成長技術や FET トランジスタ作製プロセス開発を行ってきた[2]。さらに、2009 年の内閣府総合科学技術会議にて採択された最先端研究開発支援プログラム研究課題の一つ「グリーン・ナノエレクトロニクスのコア技術開発」を元に、グラフェンを用いた低消費電力デバイスの実現を目指しつくばの産総研を中心として研究開発を展開している。

これまで、従来は転写なしでは作製できなかったグラフェン FET を CVD 合成後に転写なしで直接基板上に作製することに成功し、現在の半導体プロセスにより親和性の高い作製プロセスを提案した[2]。しかし、得られたグラフェンのデバイス特性は想定を大きく下回る結果となっており、現在の解決課題の一つとなっている。その理由として、CVD 合成で得たグラフェンの低い結晶性やプロセス中に受けるダメージといった点が幾つか挙げられるが、最近、グラフェンと直接接触するゲート絶縁膜がグラフェンの特性に影響を及ぼしている可能性が示唆された[3]。前々回の実験(2011B1984)の結果、SiO₂ 薄膜や酸化 Al 薄膜がグラフェンの電子状態を大きく変えない絶縁膜であることがわかった。しかし、実効酸化膜厚(EOT)の低下のためには、HfO₂ や Al₂O₃ といった高誘電率絶縁膜の使用が望ましいため、前回の課題(2012A1719)では、グラフェン上にバッファ層として SiO₂ 薄膜を堆積した上でプラズマ ALD 法により Al₂O₃ 絶縁膜等を堆積し、絶縁膜及びグラフェンの界面電子状態を調査した。今回の課題では、さらなるプロセス最適化のために熱 ALD 法による Al₂O₃ 絶縁膜を堆積し、同様に界面電子状態の調査を行いプラズマ ALD の結果と比較を行った。以上から、最適なゲートスタック候補の選定が可能となり、グラフェン FET 構造、作製プロセスの開発に大きく貢献することとなる。

実験：

実験は SPring-8、BL46XU で行い、入射光エネルギーは 7939 eV、アナライザーには SES-R4000 を用いた。また、Au のフェルミ端によりエネルギーの較正を行った。Pass Energy は 200 eV、光電子検出角は 80°を用い、測定は全て室温で実施した。測定した試料には銅上に合成したグラフェンを用い、その上に電子ビーム蒸着法により、SiO₂ 薄膜を 0.5-5 nm 程度の異なる膜厚で堆積を行った。続けて、熱 ALD 法により Al₂O₃ 薄膜を 2、5、20nm の異なる膜厚で堆積を行った。

結果および考察：

今回用いた熱 ALD 法では水蒸気を用いるためにグラフェンにダメージが及ぶ可能性が少なからずあるため、グラフェンと高誘電率絶縁膜の界面における SiO₂ 薄膜は絶縁膜堆積のためのテンプレートとしてだけでなくグラフェンの劣化防止の役割を担う。事前に行った Raman 分光と光電子分光実験の結果、SiO₂ 薄膜が 2nm 以上であれば ALD 法による影響がグラフェンに及ばないことを確認した。図 1(a)及び(b)に、SiO₂ 薄膜をグラフェン上に 2nm 蒸着した後に、Al₂O₃ 薄膜を 5nm 熱 ALD 法により堆積した後測定したスペクトルを示す。それぞれのスペクトルは Si1s 及び Al1s 内殻光電子スペクトルである。Al1s 内殻光電子スペクトルからは単一の Al₂O₃ 由来のピークのみを観測し、O1s 内殻光電子スペクトルの結果も合わせ、SiO₂ 薄膜上に酸化した Al₂O₃ が堆積していることが示唆され、SiO₂ 薄膜上に熱 ALD 法による絶縁膜堆積が可能であることがわかった。また、Si 1s 内殻準位スペクトルにおいてカーボンとの結合に由来する成分は観測されず単一の SiO₂ 由来のピークのみであることがわかり、また C 1s 内殻準位においても同様の結果であったことから、グラフェンの電子状態を変調するような結合状態を有さないことが示唆された。これは、SiO₂ 薄膜がグラフェンと ALD 薄膜との界面材料として適していることを意味している。加えて、C 1s 内殻準位スペクトルにおいて欠陥等が SiO₂ 薄膜堆積により誘起されることがないことが明らかとなり、事前に得られていた結果を確認した。さらに、異なる膜厚から得られた Al1s 及び Si1s 内殻準位スペクトルの光電子強度を、堆積した絶縁膜の膜厚ごとにプロットしたのが次に示す図 2 である。Al₂O₃ 薄膜は膜厚に応じて光強度が exponential に増加しており、一方で下地となる SiO₂ 強度は exponential で減少している。この結果は、熱 ALD 法によりグラフェン上に Al₂O₃ 薄膜が膜成長していることを意味している。今回の結果から、プラズマ ALD 法と同様に、SiO₂ と熱 ALD 法により堆積した Al₂O₃ の組み合わせがグラフェントランジスタのゲートスタックとし適用可能であることが明らかとなった。硬 X 線光電子分光では、二つの手法の差異は明らかにできなかったため、今後実際にゲート絶縁膜としてグラフェンデバイスに展開する中で検討を行っていく予定である。

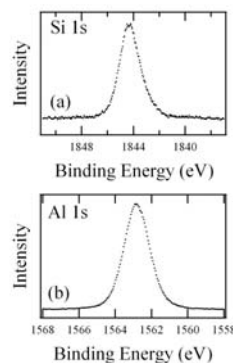


図 1. SiO₂ 薄膜をグラフェン上に 2nm 蒸着した後に、Al₂O₃ 薄膜を 5nm 堆積した試料の(a) Si 1s 及び (b) Al 1s 内殻準位光電子スペクトル。

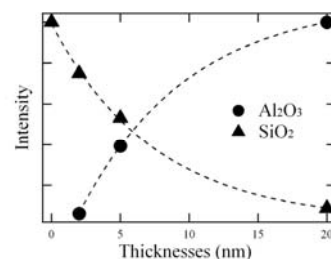


図 2. Al1s 及び Si1s 光電子ピーク強度の Al₂O₃ 膜厚依存性。

まとめと今後の課題：

以上のように、ゲート絶縁膜候補材料とグラフェン界面での電子状態から、絶縁膜としての適性の有無の検討を行った。引き続き、光電子分光実験を継続するとともに、今後は絶縁膜種類・堆積法とグラフェンの電気特性の相関も調査し、グラフェントランジスタの最適なゲートスタック候補の選定を進めていく予定である。

参考文献：

- [1] K.S. Novoselov, et al., *Science* **306**, 666 (2004).
- [2] D. Kondo, et al., *Apply. Phys. Express* **3**, 025102 (2010).
- [3] K. Kamiya, et al., *Phys. Rev. B* **83**, 153413 (2011).